

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月17日

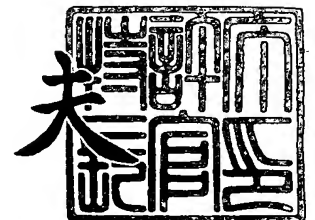
出願番号
Application Number: 特願2003-072563
[ST. 10/C]: [JP2003-072563]

出願人
Applicant(s): セイコーエプソン株式会社

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3090000

【書類名】 特許願

【整理番号】 J0097440

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 澤本 俊宏

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100066980

 【弁理士】

 【氏名又は名称】 森 哲也

【選任した代理人】

 【識別番号】 100075579

 【弁理士】

 【氏名又は名称】 内藤 嘉昭

【選任した代理人】

 【識別番号】 100103850

 【弁理士】

 【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

 【予納台帳番号】 001638

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器、キャリア基板の製造方法、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 厚みが互いに異なる複数のランドが形成されたキャリア基板と、

前記キャリア基板上に実装された半導体チップとを備えることを特徴とする半導体装置。

【請求項 2】 前記ランドの厚みは、前記キャリア基板の中央部から外周部に向かって徐々に変化していることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 厚みが互いに異なる複数の第 1 のランドが形成された第 1 半導体パッケージと、

前記第 1 のランドにそれぞれ対向配置され、厚みが互いに異なる複数の第 2 のランドが形成された第 2 半導体パッケージとを備えることを特徴とする半導体装置。

【請求項 4】 前記第 1 半導体パッケージと前記第 2 半導体パッケージとの間の間隔が広くなるに従って、前記第 1 および第 2 のランドの厚みが徐々に大きくなっていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記ランドに接合された突出電極をさらに備えることを特徴とする請求項 1 ～ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】 前記突出電極の体積は実質的に同一であることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記ランド上にそれぞれ形成された絶縁膜と、
前記絶縁膜に形成され、前記ランドの厚みに対応して開口面積が異なる開口部をさらに備えることを特徴とする請求項 1 ～ 6 のいずれか 1 項記載の半導体装置。

【請求項 8】 前記開口部の開口面積は、前記ランドの厚みが厚くなるに従って小さくなっていることを特徴とする請求項 5 記載の半導体装置。

【請求項 9】 前記第 1 半導体パッケージは、

前記第 1 のランドが形成された第 1 キャリア基板と、
前記第 1 キャリア基板上にフリップチップ実装された第 1 半導体チップとを備え、

前記第 2 半導体パッケージは、
前記第 2 のランドが形成された第 2 キャリア基板と、
前記第 2 キャリア基板上に搭載された第 2 半導体チップと、
前記第 2 キャリア基板の端部が前記第 1 半導体チップ上に保持されるように、
第 1 のランドおよび前記第 2 のランドとを接合する突出電極と、
前記第 2 半導体チップを封止する封止材とを備えることを特徴とする請求項 3～7 のいずれか 1 項記載の半導体装置。

【請求項 10】 前記第 1 半導体パッケージは、前記第 1 キャリア基板上に前記第 1 半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第 2 半導体パッケージは、前記第 2 キャリア基板上に搭載された第 2 半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】 厚みが互いに異なる複数の第 1 のランドが形成された第 1 キャリア基板と、
前記第 1 キャリア基板上にフリップチップ実装された第 1 電子部品と、
前記第 1 のランドに対向配置され、厚みが互いに異なる複数の第 2 のランドが形成された第 2 キャリア基板と、
前記第 2 キャリア基板上に搭載された第 2 電子部品と、
前記第 2 電子部品を封止する封止材とを備えることを特徴とする電子デバイス。

【請求項 12】 厚みが互いに異なる複数の第 1 のランドが形成された第 1 半導体パッケージと、
前記第 1 のランドにそれぞれ対向配置され、厚みが互いに異なる複数の第 2 のランドが形成された第 2 半導体パッケージと、
前記第 2 半導体パッケージが実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項 13】 第 1 キャリア基板上に複数のランドを形成する工程と、
前記第 1 キャリア基板上に形成された複数のランド上に絶縁膜を形成する工程と、

異なる開口面積を有し、前記ランドの表面を露出させる開口部を前記絶縁膜に形成する工程と、

前記開口部を介して前記ランドの表面をエッチングすることにより、前記ランドの厚みを変化させる工程とを備えることを特徴とするキャリア基板の製造方法。

【請求項 14】 厚みが互いに異なる複数の第 1 ランドを第 1 キャリア基板に形成する工程と、

前記第 1 キャリア基板上に第 1 半導体チップを実装する工程と、

厚みが互いに異なる複数の第 2 ランドを第 2 キャリア基板に形成する工程と、

第 2 キャリア基板上に第 2 半導体チップを実装する工程と、

前記第 2 ランド上に突出電極を形成する工程と、

前記第 2 ランド上に形成された突出電極を前記第 1 ランド上に接合することにより、前記第 1 キャリア基板上に前記第 2 キャリア基板を積層する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 15】 第 1 キャリア基板上に複数の第 1 ランドを形成する工程と、

前記第 1 キャリア基板上に形成された複数の第 1 ランド上に第 1 絶縁膜を形成する工程と、

異なる開口面積を有し、前記第 1 ランドの表面を露出させる第 1 開口部を前記第 1 絶縁膜に形成する工程と、

前記第 1 開口部を介して前記第 1 ランドの表面をエッチングすることにより、前記第 1 ランドの厚みを変化させる工程と、

前記第 1 キャリア基板上に第 1 半導体チップを実装する工程と、

第 2 キャリア基板上に複数の第 2 ランドを形成する工程と、

前記第 2 キャリア基板上に形成された複数の第 2 ランド上に第 2 絶縁膜を形成する工程と、

異なる開口面積を有し、前記第2ランドの表面を露出させる第2開口部を前記第2絶縁膜に形成する工程と、

前記第2開口部を介して前記第2ランドの表面をエッチングすることにより、前記第2ランドの厚みを変化させる工程と、

前記第2キャリア基板上に第2半導体チップを実装する工程と、

前記第2ランド上に突出電極を形成する工程と、

前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項16】 厚みが互いに異なる複数の第1のランドを第1キャリア基板に形成する工程と、

前記第1キャリア基板上に第1電子部品を実装する工程と、

厚みが互いに異なる複数の第2のランドを第2キャリア基板に形成する工程と、

第2キャリア基板上に第2電子部品を実装する工程と、

前記第2のランド上に突出電極を形成する工程と、

前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器、キャリア基板の製造方法、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップの3次元実装を実現するため、ハンダボールを介し、半導体チップが実装されたキャリア基板を積層する方法がある。

【0003】**【発明が解決しようとする課題】**

しかしながら、半導体チップをキャリア基板に実装すると、半導体チップとキャリア基板との間の線膨張係数などの違いから、キャリア基板に反りが発生し、パッケージの高さにバラツキが発生する。このため、ハンダの溶融温度に対するキャリア基板の反りのマージンが少なくなり、ハンダの溶融時の温度管理を厳しくする必要があるという問題があった。

【0004】

そこで、本発明の目的は、パッケージに反りが発生した場合においても、パッケージの高さのバラツキを低下させることが可能な半導体装置、電子デバイス、電子機器、キャリア基板の製造方法、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

【0005】**【課題を解決するための手段】**

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、厚みが互いに異なる複数のランドが形成されたキャリア基板と、前記キャリア基板上に実装された半導体チップとを備えることを特徴とする。

これにより、キャリア基板の高さのバラツキをランドの厚みで吸収することが可能となり、キャリア基板に反りが発生した場合においても、半導体パッケージの高さの均一化を図ることが可能となる。

【0006】

また、本発明の一態様に係る半導体装置によれば、前記ランドの厚みは、前記キャリア基板の中央部から外周部に向かって徐々に変化していることを特徴とする。

これにより、キャリア基板に反りが発生した場合においても、実装工程の煩雑化を抑制しつつ、キャリア基板上に実装された半導体パッケージの高さの均一化を図ることが可能となる。

【0007】

また、本発明の一態様に係る半導体装置によれば、厚みが互いに異なる複数の

第1のランドが形成された第1半導体パッケージと、前記第1のランドにそれぞれ対向配置され、厚みが互いに異なる複数の第2のランドが形成された第2半導体パッケージとを備えることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージと間の間隔のバラツキを第1のランドおよび第2のランドの両面で吸収することが可能となる。このため、第1半導体パッケージまたは第2半導体パッケージに反りが発生した場合においても、第2半導体パッケージの高さのバラツキを抑制しつつ、第2半導体パッケージを第1半導体パッケージ上に実装することが可能となる。

【0008】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージと前記第2半導体パッケージとの間の間隔が広くなるに従って、前記第1および第2のランドの厚みが徐々に大きくなっていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキが発生した場合においても、第1のランドと第2のランドとの間の間隔を均一化することが可能となり、第1半導体パッケージ上に実装された第2半導体パッケージの高さの均一化を図ることが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記ランドに接合された突出電極をさらに備えることを特徴とする。

これにより、半導体チップが搭載されたキャリア基板を積層することが可能となり、半導体チップの3次元実装を可能として、実装面積を縮小することができる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記突出電極の体積は実質的に同一であることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の大きさを変更することなく、第1半導体パッケージと第2半導体パッケージと間の間隔のバラツキを吸収することが可能となり、実装効率を劣化させることなく、第1半導体パッケージ上に

実装された第2半導体パッケージの高さの均一化を図ることが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記ランド上にそれぞれ形成された絶縁膜と、前記絶縁膜に形成され、前記ランドの厚みに対応して開口面積が異なる開口部をさらに備えることを特徴とする。

これにより、ランド上に形成された絶縁膜の開口面積に応じて、ランド表面をエッチングする際のエッチングレートを変化させることが可能となる。このため、ランドの厚みの違いに応じてランドを繰り返し形成することなく、ランドの厚みを変化させることが可能となり、製造工程の複雑化を抑制しつつ、第1半導体パッケージ上に実装された第2半導体パッケージの高さの均一化を図ることが可能となる。

【0012】

また、本発明の一態様に係る半導体装置によれば、前記開口部の開口面積は、前記ランドの厚みが厚くなるに従って小さくなっていることを特徴とする。

これにより、ランド上に形成された絶縁膜の開口面積を小さくすることで、ランド表面をエッチングする際のエッチングレートを低下させることが可能となり、ランドの厚みの違いに応じてランドを繰り返し形成することなく、ランドの厚みを容易に調整することが可能となる。

【0013】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1のランドが形成された第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1半導体チップとを備え、前記第2半導体パッケージは、前記第2のランドが形成された第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2キャリア基板の端部が前記第1半導体チップ上に保持されるように、第1のランドおよび前記第2のランドとを接合する突出電極と、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0014】

これにより、第1半導体パッケージおよび第2半導体パッケージの種類が異な

る場合においても、高さの増大を抑制しつつ、第1半導体パッケージ上に第2半導体パッケージを積層させることが可能となるとともに、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、第1半導体パッケージと第2半導体パッケージとの間の間隔のバラツキを吸収することが可能となり、省スペース化を可能としつつ、第1半導体パッケージ上に実装された第2半導体パッケージの高さの均一化を図ることが可能となる。

【0015】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

【0016】

これにより、汎用パッケージを用いた場合においても、突出電極の括れを抑制しつつ、異種パッケージを積層することが可能となり、生産効率を劣化させることなく、異種パッケージ間の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る電子デバイスによれば、厚みが互いに異なる複数の第1のランドが形成された第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1電子部品と、前記第1のランドに対向配置され、厚みが互いに異なる複数の第2のランドが形成された第2キャリア基板と、前記第2キャリア基板上に搭載された第2電子部品と、前記第2電子部品を封止する封止材とを備えることを特徴とする。

【0017】

これにより、第1キャリア基板上に第2キャリア基板を積層させることを可能としつつ、第1半導体パッケージと第2半導体パッケージと間の間隔のバラツキを第1のランドおよび第2のランドの両面で吸収することが可能となる。このため、第1キャリア基板上に第2キャリア基板との間の間隔に大きなバラツキがある場合においても、ランドの厚みの変化量を抑制しつつ、第1キャリア基板上に実装された第2キャリア基板の高さの均一化を図ることが可能となる。

【0018】

また、本発明の一態様に係る電子機器によれば、厚みが互いに異なる複数の第1のランドが形成された第1半導体パッケージと、前記第1のランドにそれぞれ対向配置され、厚みが互いに異なる複数の第2のランドが形成された第2半導体パッケージと、前記第2半導体パッケージが実装されたマザー基板とを備えることを特徴とする。

【0019】

これにより、ランドの厚みを変化させることで、第1半導体パッケージと第2半導体パッケージと間の間隔のバラツキを吸収させることが可能となり、第1半導体パッケージまたは第2半導体パッケージに反りが発生した場合においても、第1半導体パッケージ上に実装された第2半導体パッケージの高さの均一化を図ることが可能となる。

【0020】

また、本発明の一態様に係るキャリア基板の製造方法によれば、第1キャリア基板上に複数のランドを形成する工程と、前記第1キャリア基板上に形成された複数のランド上に絶縁膜を形成する工程と、異なる開口面積を有し、前記ランドの表面を露出させる開口部を前記絶縁膜に形成する工程と、前記開口部を介して前記ランドの表面をエッチングすることにより、前記ランドの厚みを変化させる工程とを備えることを特徴とする。

【0021】

これにより、ランド上に形成された絶縁膜の開口面積に応じて、ランド表面をエッチングする際のエッチングレートを変化させることが可能となる。このため、厚みの異なるランドを一括形成することが可能となり、厚みの異なるランドを繰り返し形成する必要がなくなることから、製造工程の複雑化を抑制しつつ、ランドの厚みを変化させることが可能となる。

【0022】

また、本発明の一態様に係る半導体装置の製造方法によれば、厚みが互いに異なる複数の第1ランドを第1キャリア基板に形成する工程と、前記第1キャリア基板上に第1半導体チップを実装する工程と、厚みが互いに異なる複数の第2ラ

ンドを第2キャリア基板に形成する工程と、第2キャリア基板上に第2半導体チップを実装する工程と、前記第2ランド上に突出電極を形成する工程と、前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

【0023】

これにより、第1キャリア基板と第2キャリア基板と間の間隔のバラツキを第1のランドおよび第2のランドの両面で吸収することが可能となる。このため、第1キャリア基板または第2キャリア基板に反りが発生した場合においても、突出電極のサイズまたは半田補充量を調整することなく、キャリア基板の高さのバラツキを抑制することが可能となり、実装工程の煩雑化を抑制しつつ、第1キャリア基板上に実装された第2キャリア基板の高さの均一化を図ることが可能となる。

【0024】

また、本発明の一態様に係る半導体装置の製造方法によれば、第1キャリア基板上に複数の第1ランドを形成する工程と、前記第1キャリア基板上に形成された複数の第1ランド上に第1絶縁膜を形成する工程と、異なる開口面積を有し、前記第1ランドの表面を露出させる第1開口部を前記第1絶縁膜に形成する工程と、前記第1開口部を介して前記第1ランドの表面をエッチングすることにより、前記第1ランドの厚みを変化させる工程と、前記第1キャリア基板上に第1半導体チップを実装する工程と、第2キャリア基板上に複数の第2ランドを形成する工程と、前記第2キャリア基板上に形成された複数の第2ランド上に第2絶縁膜を形成する工程と、異なる開口面積を有し、前記第2ランドの表面を露出させる第2開口部を前記第2絶縁膜に形成する工程と、前記第2開口部を介して前記第2ランドの表面をエッチングすることにより、前記第2ランドの厚みを変化させる工程と、前記第2キャリア基板上に第2半導体チップを実装する工程と、前記第2ランド上に突出電極を形成する工程と、前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

【0025】

これにより、第1キャリア基板および第2キャリア基板上に厚みの異なるランドを一括形成することが可能となり、厚みの異なるランドを繰り返し形成することなく、第1キャリア基板と第2キャリア基板と間の間隔のバラツキを第1のランドおよび第2のランドの両面で吸収することが可能となる。このため、製造工程の複雑化を抑制しつつ、第1キャリア基板上に実装された第2キャリア基板の高さの均一化を図ることが可能となる。

【0026】

また、本発明の一態様に係る電子デバイスの製造方法によれば、厚みが互いに異なる複数の第1のランドを第1キャリア基板に形成する工程と、前記第1キャリア基板上に第1電子部品を実装する工程と、厚みが互いに異なる複数の第2のランドを第2キャリア基板に形成する工程と、第2キャリア基板上に第2電子部品を実装する工程と、前記第2のランド上に突出電極を形成する工程と、前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

【0027】

これにより、第1キャリア基板と第2キャリア基板と間の間隔のバラツキを第1のランドおよび第2のランドの両面で吸収することが可能となり、突出電極のサイズまたは半田補充量を調整することなく、第1キャリア基板上に実装された第2キャリア基板の高さの均一化を図ることが可能となる。

【0028】**【発明の実施の形態】**

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図である。なお、この第1実施形態は、突出電極36、46が接合される半導体パッケージPK11～PK13のランド13a～13c、32a～32c、42a～42cの厚みをそれぞれ変化させるようにしたものである。

【0029】

図1において、半導体パッケージPK11にはキャリア基板11が設けられている。そして、キャリア基板11の裏面には、突出電極21を配置するためのランド12が設けられている。そして、ランド12が設けられたキャリア基板11の裏面にはソルダレジストなどの絶縁膜14が形成され、絶縁膜14には、ランド12の表面を露出させる開口部16が設けられている。

【0030】

一方、キャリア基板11の表面には、突出電極36、46をそれぞれ配置するためのランド13a～13cがそれぞれ設けられるとともに、突出電極19を配置するためのランド13dが設けられている。そして、ランド13a～13dが設けられたキャリア基板11の表面にはソルダレジストなどの絶縁膜15が形成され、絶縁膜15には、ランド13a～13dの表面を露出させる開口部17がそれぞれ設けられている。

【0031】

ここで、キャリア基板11の表面に設けられたランド13a～13cの厚みは、例えば、キャリア基板11の中央部から外周部に向かって徐々に厚くなるように設定することができる。

そして、キャリア基板11上には半導体チップ18がフリップチップ実装され、半導体チップ18には、フリップチップ実装するための突出電極19が設けられている。そして、半導体チップ18に設けられた突出電極19は、異方性導電シート20を介してランド13d上にACF (Anisotropic Conductive Film) 接合されている。また、キャリア基板11の裏面に設けられたランド12上には、キャリア基板11をマザー基板上に実装するための突出電極21が設けられている。

【0032】

一方、半導体パッケージPK12、PK13にはキャリア基板31、41がそれぞれ設けられている。そして、各キャリア基板31、41の裏面には、突出電極36、46をそれぞれ配置するためのランド32a～32c、42a～42cがそれぞれ設けられている。そして、ランド32a～32c、42a～42cが

それぞれ設けられたキャリア基板 31、41 の裏面にはソルダレジストなどの絶縁膜 33、43 がそれぞれ形成され、各絶縁膜 33、43 には、各ランド 32a～32c、42a～42c の表面を露出させる開口部 34、44 がそれぞれ設けられている。そして、キャリア基板 31、41 上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板 31、41 の一面全体は、封止樹脂 35、45 でそれぞれ封止されている。なお、キャリア基板 31、41 上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0033】

ここで、キャリア基板 31、41 の裏面に設けられた各ランド 32a～32c、42a～42c の厚みは、例えば、キャリア基板 31、41 の中央部から外周部に向かって徐々に厚くなるようにそれぞれ設定することができる。

また、キャリア基板 31、41 の裏面にそれぞれ設けられたランド 32a～32c、42a～42c 上には、キャリア基板 31、41 の端部が半導体チップ 18 上に保持されるようにして、キャリア基板 31、41 をキャリア基板 11 上に実装するための突出電極 36、46 がそれぞれ設けられている。ここで、突出電極 36、46 は、半導体チップ 18 の搭載領域を避けるようにしてそれぞれ配置することができ、例えば、各キャリア基板 31、41 の裏面の周囲に突出電極 36、46 をそれぞれ配置することができる。

【0034】

ここで、キャリア基板 11 や半導体チップ 19 などの線膨張係数の違いにより、半導体パッケージ PK11 が下側に反っているものとする。そして、例えば、半導体パッケージ PK11 が下側に反った状態で、キャリア基板 11 上に設けられたランド 13a～13c に突出電極 36、46 をそれぞれ接合させることにより、キャリア基板 31、41 をキャリア基板 11 上にそれぞれ実装することができる。

【0035】

ここで、半導体パッケージ PK11～PK13 のランド 13a～13c、32

a~32c、42a~42cの厚みをそれぞれ変化させることにより、半導体パッケージPK11~PK13間の間隔のバラツキをランド13a~13c、32a~32c、42a~42cで吸収することが可能となる。このため、半導体パッケージPK11に反りが発生した場合においても、半導体パッケージPK12、PK13の高さのバラツキを抑制しつつ、半導体パッケージPK12、PK13を半導体パッケージPK11上に実装することが可能となる。

【0036】

また、半導体パッケージPK11~PK13のランド13a~13c、32a~32c、42a~42cの厚みをそれぞれ変化させることにより、半導体パッケージPK11に反りが発生した場合においても、突出電極36、46の大きさを変更することなく、半導体パッケージPK11~PK13間の間隔のバラツキを吸収することが可能となり、実装効率を劣化させることなく、半導体パッケージPK11上に実装された半導体パッケージPK12、PK13の高さの均一化を図ることが可能となる。

【0037】

なお、キャリア基板11、31、41としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板11、31、41の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極19、21、36、46としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。

【0038】

また、上述した実施形態では、ACF接合により半導体チップ18をキャリア基板11上に実装する方法について説明したが、例えば、NCF (Non conductive Film) 接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板11とキャリア基板31、41との間の隙間には、必要に応じて樹脂を注入するようにしてもよい。

【0039】

また、上述した実施形態では、上側のキャリア基板 31、41 に反りがなく、下側のキャリア基板 11 が下側に反った場合を例にとって説明したが、下側のキャリア基板 11 が下側に反り、上側のキャリア基板 31、41 が上側に反った場合、下側のキャリア基板 11 に反りがなく、上側のキャリア基板 31、41 が上側に反った場合、キャリア基板 11、31、41 がいずれも下側に反り、下側のキャリア基板 11 の方が反りが大きい場合、キャリア基板 11、31、41 がいずれも上側に反り、上側のキャリア基板 31、41 の方が反りが大きい場合についても同様に適用することができる。

【0040】

さらに、下側のキャリア基板 11 が上側に反り、上側のキャリア基板 31、41 が下側に反った場合、下側のキャリア基板 11 に反りがなく、上側のキャリア基板 31、41 が下側に反った場合、上側のキャリア基板 31、41 に反りがなく、下側のキャリア基板 11 が上側に反った場合、キャリア基板 11、31、41 がいずれも下側に反り、上側のキャリア基板 31、41 の方が反りが大きい場合、キャリア基板 11、31、41 がいずれも上側に反り、下側のキャリア基板 11 の方が反りが大きい場合についても適用するようにしてもよい。なお、これらの場合、キャリア基板 11、31、41 の表面にそれぞれ設けられたランド 13a～13c、32a～32c、42a～42c の厚みは、例えば、キャリア基板 11、31、41 の中央部から外周部に向かって徐々に薄くなるようにそれぞれ設定することが好ましい。

【0041】

図 2 は、図 1 の半導体装置の製造方法を示す断面図である。

図 2 (a) において、半導体パッケージ PK11 が下側に反っているものとする。そして、半導体パッケージ PK11 上に半導体パッケージ PK12、PK13 をそれぞれ積層する場合、キャリア基板 31、41 の各ランド 32a～32c、42a～42c 上に突出電極 36、46 をそれぞれ形成する。ここで、突出電極 36、46 として、例えば、半田ボールを用いた場合、ボール径を実質的に等しく設定することができる。

【0042】

次に、図2（b）に示すように、突出電極36、46がそれぞれ形成された半導体パッケージPK12、PK13を半導体パッケージPK11上にそれぞれマウントし、リフロー処理を行うことにより、突出電極36、46を各ランド32a～32c、42a～42c上にそれぞれ接合させる。

ここで、半導体パッケージPK11～PK13のランド13a～13c、32a～32c、42a～42cの厚みをそれぞれ変化させることにより、突出電極36、46として、ボール径の等しい半田ボールを用いた場合においても、キャリア基板31、41の取り付け高をキャリア基板11の反りに対応させることが可能となる。

【0043】

次に、図2（c）に示すように、キャリア基板11の裏面に設けられたランド12上に、キャリア基板11をマザー基板上に実装するための突出電極21を形成する。

図3は、本発明の第2実施形態に係る半導体装置の構成を示す断面図である。なお、この第2実施形態は、ランド53a～53c、72a～72c、82a～82c上にそれぞれ形成された絶縁膜55、73、83の開口部57a～57c、74a～74c、84a～84cの開口面積に応じて、ランド53a～53c、72a～72c、82a～82cの厚みをそれぞれ変化させるようにしたものである。

【0044】

図3において、半導体パッケージPK21にはキャリア基板51が設けられている。そして、キャリア基板51の裏面には、突出電極61を配置するためのランド52が設けられている。そして、ランド52が設けられたキャリア基板51の裏面にはソルダレジストなどの絶縁膜54が形成され、絶縁膜54には、ランド52の表面を露出させる開口部56が設けられている。

【0045】

一方、キャリア基板51の表面には、突出電極76、86をそれぞれ配置するためのランド53a～53cがそれぞれ設けられるとともに、突出電極59を配

置するためのランド53dが設けられている。そして、ランド53a～53dが設けられたキャリア基板51の表面にはソルダレジストなどの絶縁膜55が形成され、絶縁膜55には、ランド53a～53dの表面を露出させる開口部57a～57dがそれぞれ設けられている。

【0046】

ここで、キャリア基板51の表面に設けられたランド53a～53cの厚みは、例えば、キャリア基板51の中央部から外周部に向かって徐々に厚くなるように設定することができる。また、開口部57a～57cの開口面積は、ランド53a～53cの厚みが厚くなるに従って小さくなるように設定することができる。

【0047】

そして、キャリア基板51上には半導体チップ58がフリップチップ実装され、半導体チップ58には、フリップチップ実装するための突出電極59が設けられている。そして、半導体チップ58に設けられた突出電極59は、異方性導電シート60を介してランド53d上にACF接合されている。また、キャリア基板51の裏面に設けられたランド52上には、キャリア基板51をマザー基板上に実装するための突出電極61が設けられている。

【0048】

一方、半導体パッケージPK22、PK23にはキャリア基板71、81がそれぞれ設けられている。そして、各キャリア基板71、81の裏面には、突出電極76、86をそれぞれ配置するためのランド72a～72c、82a～82cがそれぞれ設けられている。そして、ランド72a～72c、82a～82cがそれぞれ設けられたキャリア基板71、81の裏面にはソルダレジストなどの絶縁膜73、83がそれぞれ形成され、各絶縁膜73、83には、各ランド72a～72c、82a～82cの表面を露出させる開口部74a～74c、84a～84cがそれぞれ設けられている。そして、キャリア基板71、81上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板71、81の一面全体は、封止樹脂75、85でそれぞれ封止されている。なお、キャリア基板71、81上には、ワイヤボンダ接続された半導体チップを実装するよう

にしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0049】

ここで、キャリア基板71、81の裏面に設けられた各ランド72a～72c、82a～82cの厚みは、例えば、キャリア基板71、81の中央部から外周部に向かって徐々に厚くなるようにそれぞれ設定することができる。また、各開口部74a～74c、84a～84cの開口面積は、各ランド72a～72c、82a～82cの厚みが厚くなるに従って小さくなるようにそれぞれ設定することができる。

【0050】

また、キャリア基板71、81の裏面にそれぞれ設けられたランド72a～72c、82a～82c上には、キャリア基板71、81の端部が半導体チップ58上に保持されるようにして、キャリア基板71、81をキャリア基板51上に実装するための突出電極76、86がそれぞれ設けられている。ここで、突出電極76、86は、半導体チップ58の搭載領域を避けるようにしてそれぞれ配置することができ、例えば、各キャリア基板71、81の裏面の周囲に突出電極76、86をそれぞれ配置することができる。

【0051】

そして、例えば、半導体パッケージPK21が下側に反った状態で、キャリア基板51上に設けられたランド53a～53cに突出電極76、86をそれぞれ接合させることにより、キャリア基板71、81をキャリア基板51上にそれぞれ実装することができる。

ここで、半導体パッケージPK21～PK23のランド53a～53c、72a～72c、82a～82cの厚みをそれぞれ変化させることにより、半導体パッケージPK21～PK23間の間隔のバラツキをランド53a～53c、72a～72c、82a～82cで吸収することが可能となる。このため、半導体パッケージPK21に反りが発生した場合においても、半導体パッケージPK22、PK23の高さのバラツキを抑制しつつ、半導体パッケージPK22、PK23を半導体パッケージPK21上に実装することが可能となる。

【0052】

また、各ランド53a～53c、72a～72c、82a～82cの厚みにそれぞれ対応させて、ランド53a～53c、72a～72c、82a～82cの表面をそれぞれ露出させる開口部57a～57c、74a～74c、84a～84cの開口面積を変化させることにより、ランド53a～53c、72a～72c、82a～82cの表面をエッチングすることで、ランド53a～53c、72a～72c、82a～82cの厚みを変化させることが可能となる。このため、厚みの異なるランド53a～53c、72a～72c、82a～82cをそれぞれ一括形成することが可能となり、各ランド53a～53c、72a～72c、82a～82cの厚みの違いに応じてランド53a～53c、72a～72c、82a～82cをそれぞれ繰り返し形成する必要性がなくなることから、製造工程の煩雑化を抑制しつつ、半導体パッケージPK21上に実装された半導体パッケージPK22、PK23の高さの均一化を図ることが可能となる。

【0053】

図4は、本発明の第3実施形態に係るキャリア基板の製造方法を示す断面図である。

図4(a)において、配線基板91には配線パターン92が形成され、配線パターン92が形成された配線基板91が接着層92を介して積層されることにより、例えば、4層基板が形成されている。そして、4層基板の裏面には、厚みが一定のランド95が形成され、ランド95の表面が露出するようにして、ソルダレジストなどの絶縁膜94が形成されている。そして、例えば、4層基板の表面に形成された銅箔のパターニングを行うことにより、厚みが一定のランド96を4層基板の表面に形成する。

【0054】

次に、図4(b)に示すように、ランド96が形成された4層基板の表面にフォトソルダなどの絶縁膜97を形成する。そして、図4(c)に示すように、絶縁膜97のパターニングを行うことにより、ランド96の表面を露出させる開口部98a～98cを形成する。ここで、各開口部98a～98cの開口面積は、4層基板上に実装されるパッケージのうねりや反りに対応してそれぞれ設定する

ことができ、例えば、4層基板の中央部から外周部に向かって徐々に大きくなるように設定することができる。

【0055】

次に、図4(d)に示すように、開口部98a～98cをそれぞれ介して露出されたランド96の表面をエッチングする。ここで、開口部98a～98cの開口面積に応じて、ランド96表面をエッチングする際のエッチングレートを変化させることができ、例えば、開口部98a～98cの開口面積を小さくすることにより、ランド96表面のエッチングレートを低下させることが可能となる。このため、開口面積の異なる開口部98a～98cをそれぞれ介してランド96の表面をエッチングすることにより、厚みの異なるランド96a～96cを一括形成することが可能となり、製造工程の複雑化を抑制しつつ、ランド96a～96cの厚みを変化させることが可能となる。

【0056】

なお、上述した実施形態では、4層基板を例にとってキャリア基板の製造方法について説明したが、キャリア基板は4層基板以外であってもよい。

図5は、本発明の第4実施形態に係る半導体装置の構成を示す断面図である。なお、この第4実施形態は、突出電極136、146が接合される半導体パッケージPK31～PK33のランド113a～113c、132a～132c、142a～142cの厚みをそれぞれ変化させるとともに、突出電極121が接合される半導体パッケージPK31のランド112a～112cの厚みをそれぞれ変化させるようにしたものである。

【0057】

図5において、半導体パッケージPK31にはキャリア基板111が設けられている。そして、キャリア基板111の裏面には、突出電極121を配置するためのランド112a～112cが設けられている。そして、ランド112a～112cが設けられたキャリア基板111の裏面にはソルダレジストなどの絶縁膜114が形成され、絶縁膜114には、ランド112a～112cの表面をそれぞれ露出させる開口部116が設けられている。ここで、キャリア基板111の裏面に設けられたランド112a～112cの厚みは、例えば、キャリア基板1

11の中央部から外周部に向かって徐々に薄くなるように設定することができる。

【0058】

一方、キャリア基板111の表面には、突出電極136、146をそれぞれ配置するためのランド113a～113cがそれぞれ設けられるとともに、突出電極119を配置するためのランド113dが設けられている。そして、ランド113a～113dが設けられたキャリア基板111の表面にはソルダレジストなどの絶縁膜115が形成され、絶縁膜115には、ランド113a～113dの表面を露出させる開口部117がそれぞれ設けられている。

【0059】

ここで、キャリア基板111の表面に設けられたランド113a～113cの厚みは、例えば、キャリア基板111の中央部から外周部に向かって徐々に厚くなるように設定することができる。

そして、キャリア基板111上には半導体チップ118がフリップチップ実装され、半導体チップ118には、フリップチップ実装するための突出電極119が設けられている。そして、半導体チップ118に設けられた突出電極119は、異方性導電シート120を介してランド113d上にACF接合されている。また、キャリア基板111の裏面に設けられたランド112a～112c上には、キャリア基板111をマザー基板151上に実装するための突出電極121が設けられている。

【0060】

一方、半導体パッケージPK32、PK33にはキャリア基板131、141がそれぞれ設けられている。そして、各キャリア基板131、141の裏面には、突出電極136、146をそれぞれ配置するためのランド132a～132c、142a～142cがそれぞれ設けられている。そして、ランド132a～132c、142a～142cがそれぞれ設けられたキャリア基板131、141の裏面にはソルダレジストなどの絶縁膜133、143がそれぞれ形成され、各絶縁膜133、143には、各ランド132a～132c、142a～142cの表面を露出させる開口部134、144がそれぞれ設けられている。そして、

キャリア基板 131、141 上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板 131、141 の一面全体は、封止樹脂 135、145 でそれぞれ封止されている。なお、キャリア基板 131、141 上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0061】

ここで、キャリア基板 131、141 の裏面に設けられた各ランド 132a～132c、142a～142c の厚みは、例えば、キャリア基板 131、141 の中央部から外周部に向かって徐々に厚くなるようにそれぞれ設定することができる。

また、キャリア基板 131、141 の裏面にそれぞれ設けられたランド 132a～132c、142a～142c 上には、キャリア基板 131、141 の端部が半導体チップ 118 上に保持されるようにして、キャリア基板 131、141 をキャリア基板 111 上に実装するための突出電極 136、146 がそれぞれ設けられている。ここで、突出電極 136、146 は、半導体チップ 118 の搭載領域を避けるようにしてそれぞれ配置することができ、例えば、各キャリア基板 131、141 の裏面の周囲に突出電極 136、146 をそれぞれ配置することができる。

【0062】

また、マザー基板 151 上には、突出電極 121 を接合させるランド 152 が形成されるとともに、ランド 152 の表面を露出させる開口部 154 が設けられたソルダレジストなどの絶縁膜 153 が形成されている。

そして、例えば、半導体パッケージ PK31 が下側に反った状態で、キャリア基板 111 上に設けられたランド 113a～113c に突出電極 136、146 をそれぞれ接合させることにより、キャリア基板 131、141 をキャリア基板 111 上にそれぞれ実装することができる。さらに、マザー基板 151 上に設けられたランド 152 に突出電極 121 をそれぞれ接合させることにより、キャリア基板 131、141 が積層されたキャリア基板 111 をマザー基板 151 上に

実装することができる。

【0063】

ここで、半導体パッケージPK31～PK33のランド113a～113c、132a～132c、142a～142cの厚みをそれぞれ変化させることにより、半導体パッケージPK31～PK33間の間隔のバラツキをランド113a～113c、132a～132c、142a～142cで吸収することが可能となる。このため、半導体パッケージPK31に反りが発生した場合においても、半導体パッケージPK32、PK33の高さのバラツキを抑制しつつ、半導体パッケージPK32、PK33を半導体パッケージPK31上に実装することが可能となる。

【0064】

また、半導体パッケージPK31のランド112a～112cの厚みを変化させることにより、半導体パッケージPK31とマザー基板151との間隔のバラツキをランド112a～112cで吸収することが可能となる。このため、半導体パッケージPK31に反りが発生した場合においても、突出電極121の高さを変化させることなく、半導体パッケージPK31をマザー基板151上に安定して実装することが可能となる。

【0065】

図6は、本発明の第5実施形態に係る半導体装置の構成を示す断面図である。なお、この第5実施形態は、突出電極238、248が接合される半導体パッケージPK41～PK43のランド213a～213c、234a～234c、244a～244cの厚みをそれぞれ変化させるとともに、半導体パッケージPK42、PK43としてW-CSP（ウエハレベルチップサイズパッケージ）を用いるようにしたものである。

【0066】

図6において、半導体パッケージPK41にはキャリア基板211が設けられている。そして、キャリア基板211の裏面には、突出電極221を配置するためのランド212が設けられている。そして、ランド212が設けられたキャリア基板211の裏面にはソルダレジストなどの絶縁膜214が形成され、絶縁膜

214には、ランド212の表面を露出させる開口部216が設けられている。

【0067】

一方、キャリア基板211の表面には、突出電極238、248をそれぞれ配置するためのランド213a～213cがそれぞれ設けられるとともに、突出電極219を配置するためのランド213dが設けられている。そして、ランド213a～213dが設けられたキャリア基板211の表面にはソルダレジストなどの絶縁膜215が形成され、絶縁膜215には、ランド213a～213dの表面をそれぞれ露出させる開口部217がそれぞれ設けられている。

【0068】

ここで、キャリア基板211の表面に設けられたランド213a～213cの厚みは、例えば、キャリア基板211の中央部から外周部に向かって徐々に厚くなるように設定することができる。

そして、キャリア基板211上には半導体チップ218がフリップチップ実装され、半導体チップ218には、フリップチップ実装するための突出電極219が設けられている。そして、半導体チップ218に設けられた突出電極219は、異方性導電シート220を介してランド213d上にACF接合されている。また、キャリア基板211の裏面に設けられたランド216上には、キャリア基板211をマザー基板上に実装するための突出電極221が設けられている。

【0069】

一方、半導体パッケージPK42、PK43には半導体チップ231、241がそれぞれ設けられ、各半導体チップ231、241には、電極パッド232、242がそれぞれ設けられるとともに、各電極パッド232、242の表面がそれぞれ露出されるようにして、絶縁膜233、243がそれぞれ設けられている。そして、各半導体チップ231、241上には、電極パッド232、242がそれぞれ露出するようにして応力緩和層234、244がそれぞれ形成され、各電極パッド232、242上には、応力緩和層234、244上に延伸された再配置配線235、245がそれぞれ形成されるとともに、各応力緩和層234、244上には、突出電極238、248をそれぞれ配置するためのランド234a～234c、244a～244cがそれぞれ設けられている。そして、再配置

配線 235、245 およびランド 234a～234c、244a～244c 上にはソルダレジスト膜 236、246 がそれぞれ形成され、ソルダレジスト膜 236、246 には、応力緩和層 234、244 上において各ランド 234a～234c、244a～244c をそれぞれ露出させる開口部 237、247 がそれぞれ形成されている。

【0070】

ここで、応力緩和層 234、244 上に設けられたランド 234a～234c、244a～244c の厚みは、例えば、半導体チップ 231、241 の中央部から外周部に向かって徐々に厚くなるようにそれぞれ設定することができる。

そして、開口部 237、247 をそれぞれ介して露出された各ランド 234a～234c、244a～244c 上には、半導体チップ 231、241 の端部が半導体チップ 218 上にそれぞれ保持されるようにして、半導体チップ 231、241 をそれぞれフェースダウン実装するための突出電極 238、248 がそれぞれ設けられている。なお、突出電極 238、248 は、半導体チップ 218 の搭載領域を避けるようにしてそれぞれ配置することができ、例えば、半導体チップ 231、241 の周囲に突出電極 238、248 をそれぞれ配置することができる。

【0071】

そして、例えば、半導体パッケージ PK41 が下側に反った状態で、キャリア基板 211 上に設けられたランド 213a～213c に突出電極 238、248 をそれぞれ接合させることにより、半導体チップ 231、241 をキャリア基板 211 上に実装することができる。

これにより、半導体チップ 218 がフリップチップ実装されたキャリア基板 211 上に W-CSP を積層することができ、半導体チップ 218、231、241 の種類またはサイズが異なる場合においても、半導体チップ 218、231、241 間にキャリア基板を介在させることなく、半導体チップ 218 上に半導体チップ 231、241 を 3 次元実装することが可能となるとともに、半導体パッケージ PK41～PK43 間の間隔のバラツキをランド 213a～213c、234a～234c、244a～244c で吸収することが可能となる。

【0072】

このため、半導体パッケージPK41に反りがある場合においても、半導体チップ231、241積層時の高さの増大を抑制しつつ、半導体パッケージPK41上に実装された半導体パッケージPK42、PK43の高さの均一化を図ることが可能となる。

また、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

【0073】

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとって説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弾性表面波 (SAW) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

【図面の簡単な説明】

【図1】 第1実施形態に係る半導体装置の構成を示す断面図。

【図2】 図1の半導体装置の製造方法を示す断面図。

【図3】 第2実施形態に係る半導体装置の構成を示す断面図。

【図4】 第3実施形態に係るキャリア基板の製造方法を示す断面図。

【図5】 第4実施形態に係る半導体装置の構成を示す断面図。

【図6】 第5実施形態に係る半導体装置の構成を示す断面図。

【符号の説明】

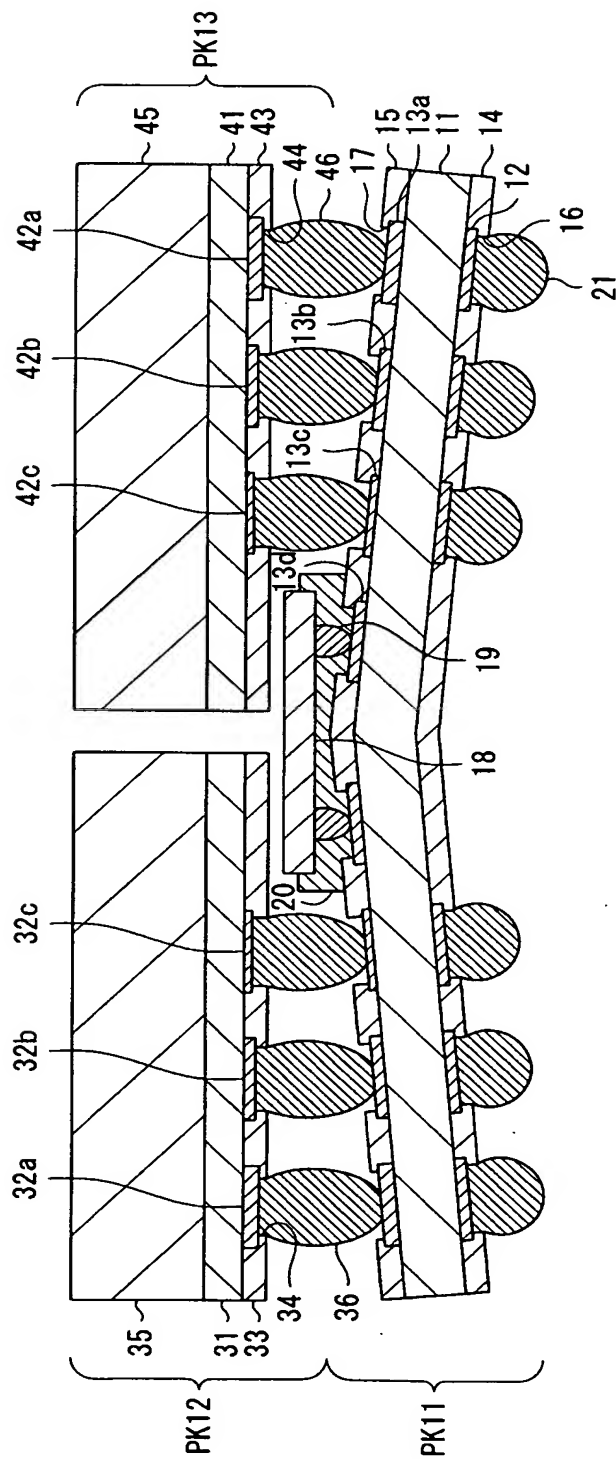
11、31、41、51、71、81、111、131、141、211 キャリア基板、91 配線基板、12、13a~13d、32a~32c、42a~42c、52、53a~53d、72a~72c、82a~82c、96、96a~96c、112a~112c、113a~113d、132a~132c、142a~142c、152、212、213a~213d、234a~234c、244a~244c ランド、14、15、33、43、54、55、7

3、83、94、97、114、115、133、143、153、214、215、233、243 絶縁膜、16、17、34、44、56、57a~57d、74a~74c、84a~84c、98a~98c、116、117、134、144、154、216、217、237、247 開口部、18、58、118、231、241 半導体チップ、19、21、36、46、59、61、76、86、119、121、136、146、219、221、238、248 突出電極、20、60、120、20 異方性導電シート、91、92 接着層、35、45、75、85、135、145 封止樹脂、151 マザー基板、232、242 電極パッド、234、244 応力緩和層、235、245 再配置配線、236、246 ソルダレジスト層、PK11~PK13、PK21~PK23、PK31~PK33、PK41~PK43 半導体パッケージ

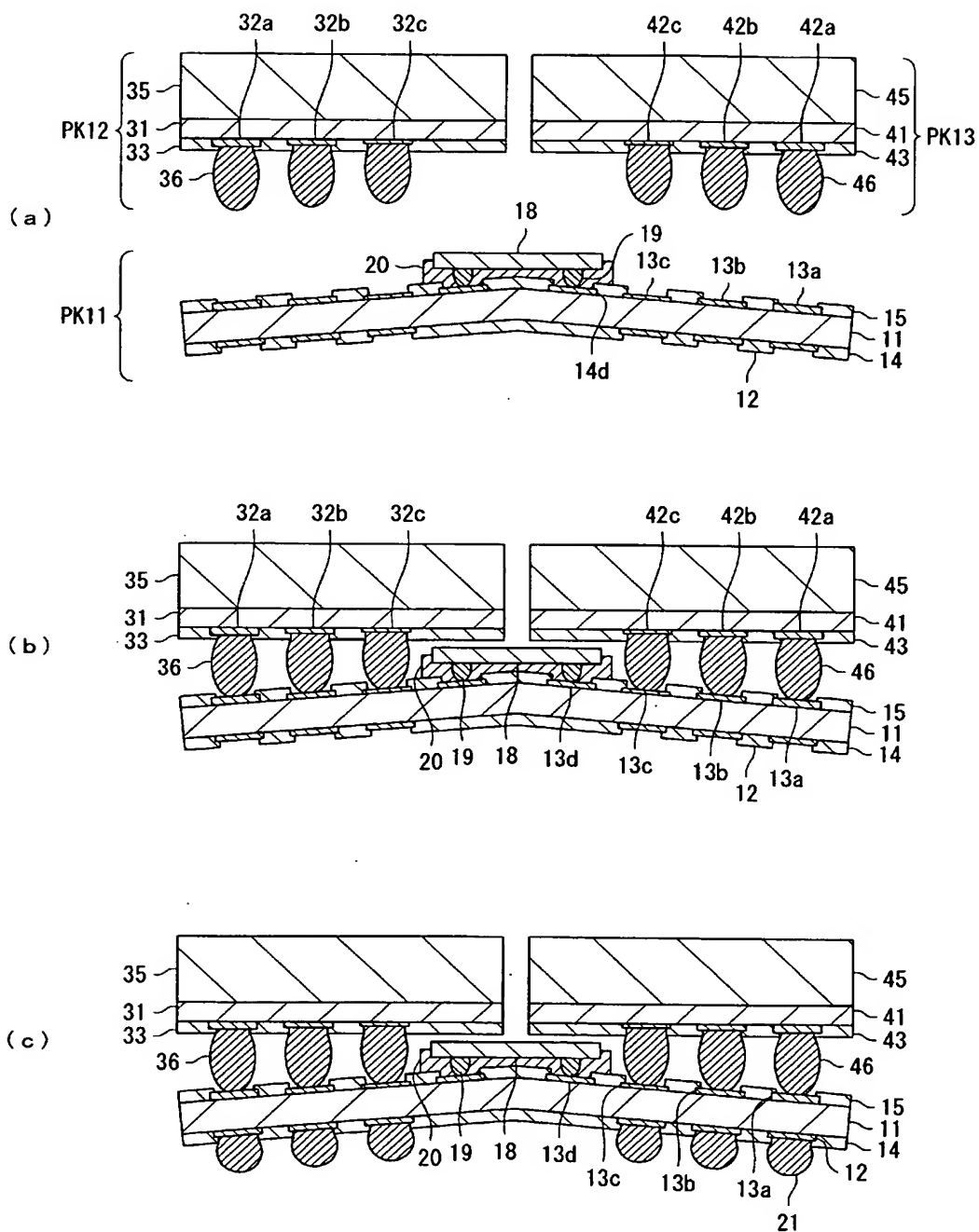
【書類名】

図面

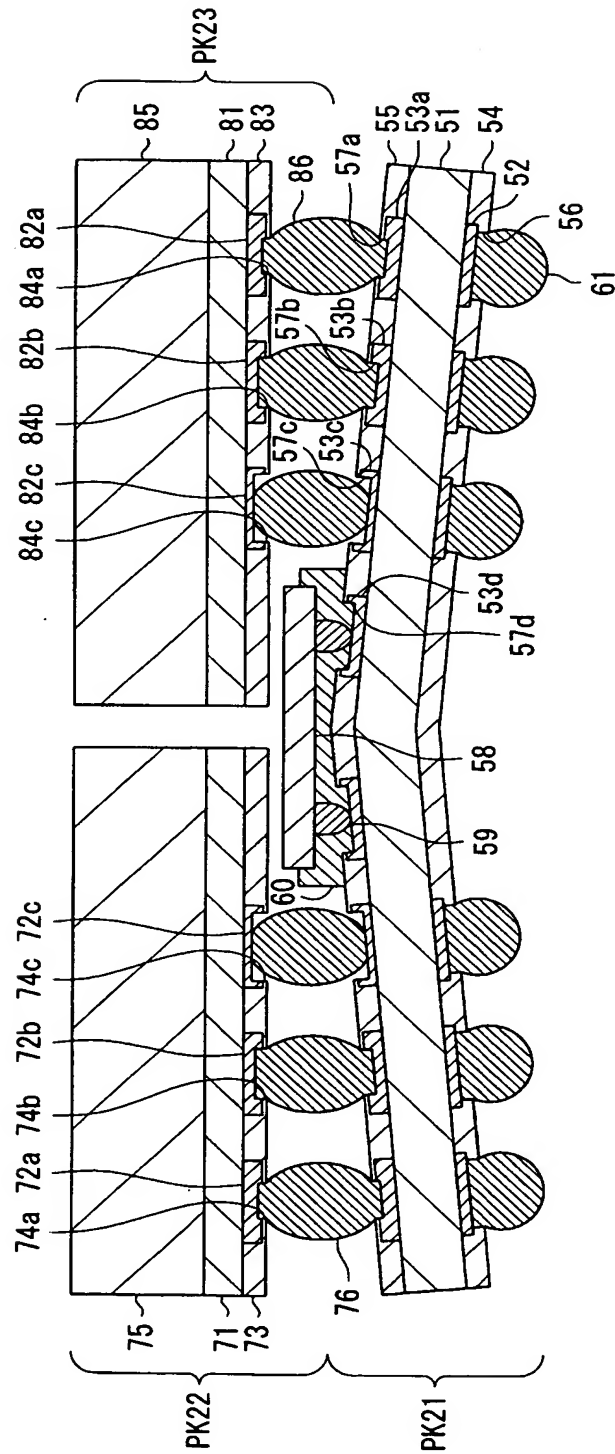
【図 1】



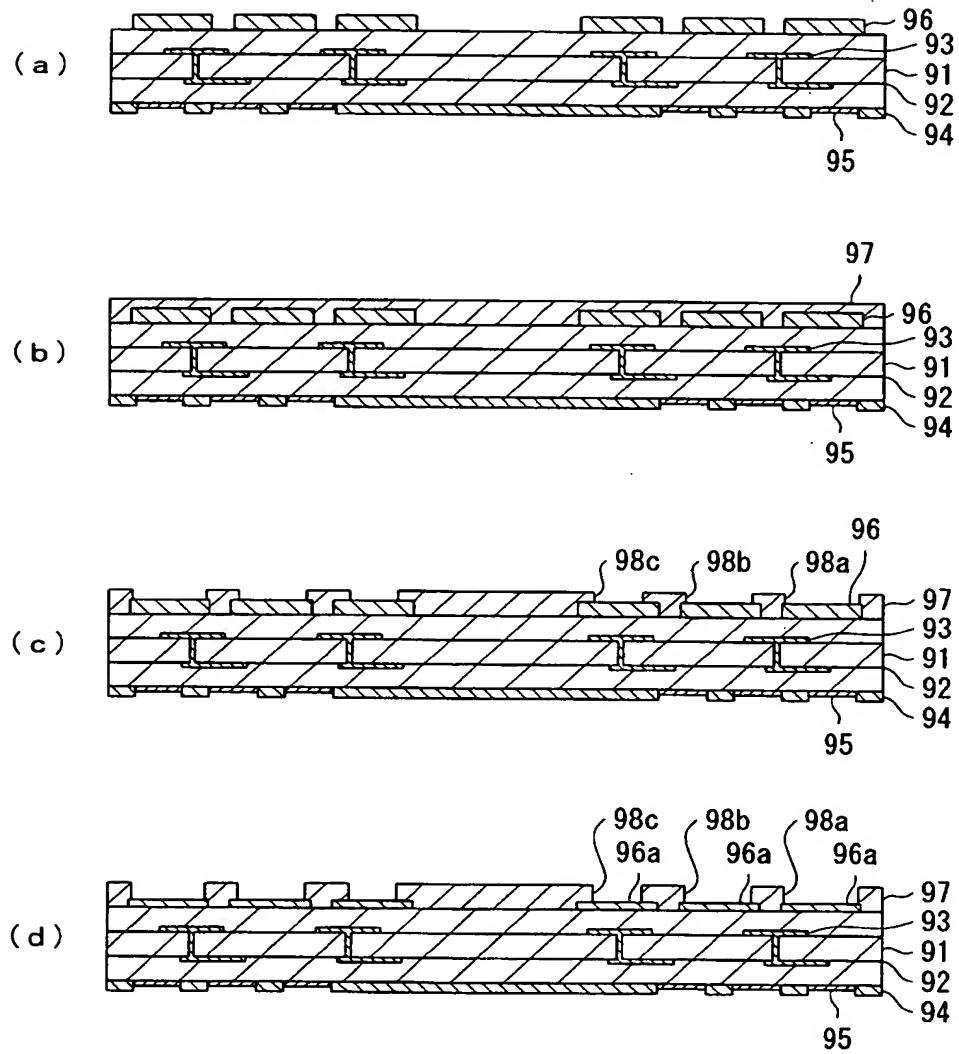
【図 2】



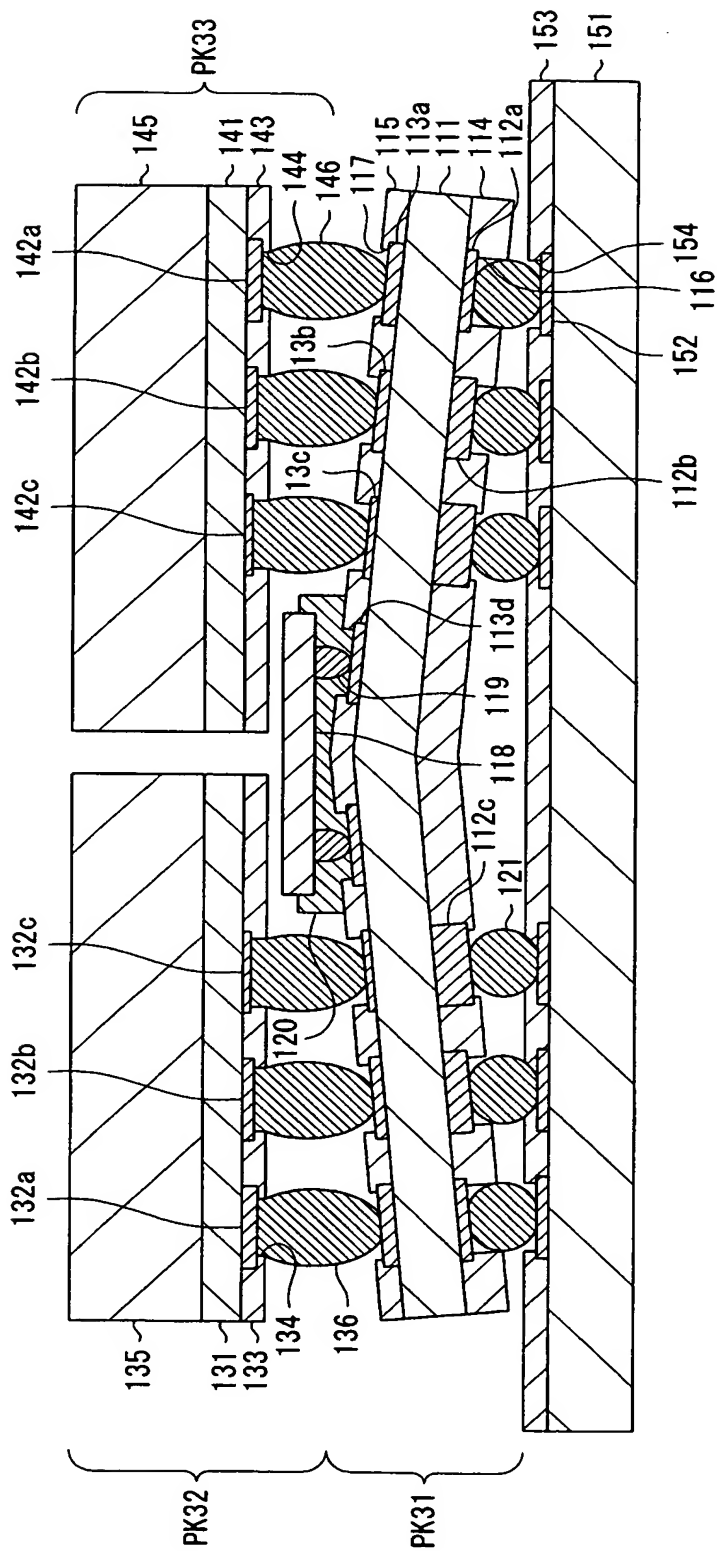
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 パッケージに反りが発生した場合においても、パッケージの高さのバラツキを低下させる。

【解決手段】 キャリア基板 1 1 の表面に設けられたランド 1 3 a ~ 1 3 c の厚みをキャリア基板 1 1 の中央部から外周部に向かって徐々に厚くなるように設定するとともに、キャリア基板 3 1、4 1 の裏面に設けられた各ランド 3 2 a ~ 3 2 c、4 2 a ~ 4 2 c の厚みをキャリア基板 3 1、4 1 の中央部から外周部に向かって徐々に厚くなるようにそれぞれ設定する。

【選択図】 図 1

特願 2 0 0 3 - 0 7 2 5 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社